

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-045197

(43)Date of publication of application : 14.02.2003

(51)Int.Cl.

G11C 29/00
G01R 31/28
G11C 11/401

(21)Application number : 2002-141266

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 16.05.2002

(72)Inventor : HONG SANG-HOON
KIM SI HONG

(30)Priority

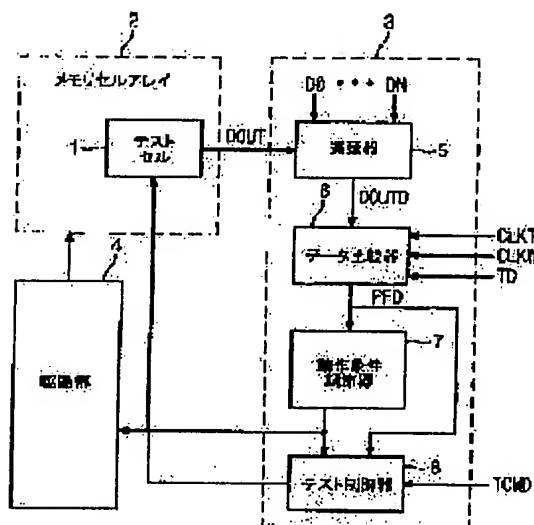
Priority number : 2001 200138018 Priority date : 29.06.2001 Priority country : KR

(54) SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR TESTING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device in which malfunction never be caused and operation can be performed with low power consumption by performing a test again and detecting optimum operation conditions for a cell being easy to be defect out of cells passing a test, and a method for testing the same.

SOLUTION: This device is provided with a memory cell array provided with memory cells decided as defect and repaired as a consequence of a first test and test cells decided as memory cells being easy to be defect most out of memory cells decided as passing the test and repaired, a test means by which a second test is performed with operation conditions previously set for the test cell, the operation conditions are adjusted for the test cell in accordance with a result of the second test, the second test is performed repeatedly, or the operation conditions adjusted finally are outputted, and a driving means for driving the memory cell array with operation conditions outputted from the test means.



LEGAL STATUS

[Date of request for examination] 20.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J.P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-45197
(P2003-45197A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 1 1 C 29/00	6 5 1	G 1 1 C 29/00	6 5 1 T 2 G 1 3 2
	6 5 5		6 5 5 S 5 L 1 0 6
G 0 1 R 31/28		11/34	3 7 1 A 5 M 0 2 4
G 1 1 C 11/401		G 0 1 R 31/28	B
			V

審査請求 未請求 請求項の数17 O L (全 8 頁)

(21) 出願番号 特願2002-141266(P2002-141266)

(22) 出願日 平成14年5月16日 (2002.5.16)

(31) 優先権主張番号 2 0 0 1 - 0 3 8 0 1 8

(32) 優先日 平成13年6月29日 (2001.6.29)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 洪 祥 熙

大韓民国京畿道利川市夫鉢邑新河里チョン
グアパート101-1302

(72) 発明者 金 始 弘

大韓民国京畿道利川市高潭洞高潭寄宿舍
106-305

(74) 代理人 100065215

弁理士 三枝 英二 (外10名)

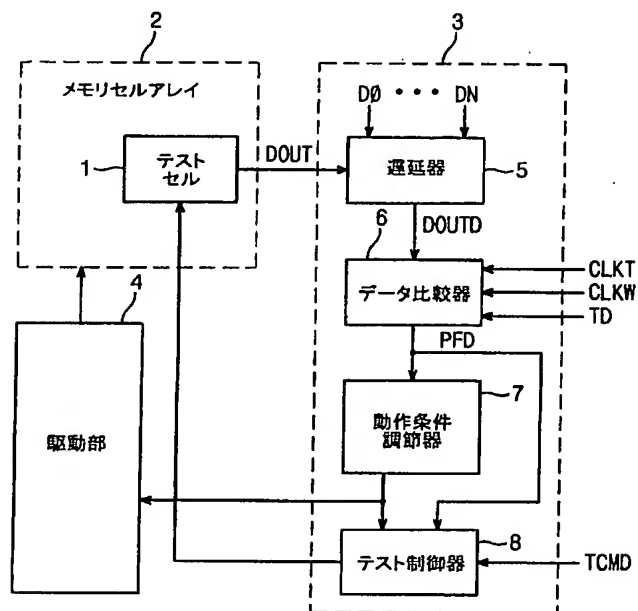
最終頁に続く

(54) 【発明の名称】 半導体メモリ装置及びそのテスト方法

(57) 【要約】

【課題】 テストをパスしたセルのうち最も不良になり易いセルに対し、再びテストを行って最適の動作条件を検出することによって、誤動作せず、低消費電力で動作可能な半導体メモリ装置及びそのテスト方法を提供すること。

【解決手段】 第1テストの結果、不良と判定されてリペアされたメモリセルと、パスと判定されたメモリセルのうち最も不良になり易いメモリセルと判定されてリペアされたテストセルとを備えたメモリセルアレイ、前記テストセルに対して予め設定された動作条件で第2テストを行い、該第2テストの結果に応じて、前記テストセルに対して前記動作条件を調節し、前記第2テストを反復的に行う、又は最後に調節された前記動作条件を出力するテスト手段、及び該テスト手段から出力された動作条件で前記メモリセルアレイを駆動する駆動手段を備える。



【特許請求の範囲】

【請求項 1】 第 1 テストの結果、不良と判定されてリペアされたメモリセルと、パスと判定されたメモリセルのうち最も不良になり易いメモリセルと判定されてリペアされたテストセルとを備えたメモリセルアレイ、前記テストセルに対して予め設定された動作条件で第 2 テストを行い、該第 2 テストの結果に応じて、前記テストセルに対して前記動作条件を調節し、前記第 2 テストを反復的に行う、または最後に調節された前記動作条件を出力するテスト手段、及び該テスト手段から出力された動作条件で前記メモリセルアレイを駆動する駆動手段を備えていることを特徴とする半導体メモリ装置。

【請求項 2】 前記テスト手段は、前記テストセルに記録されたデータを読み出し、該読み出したデータを所定の遅延時間だけ遅延させて出力する遅延手段と、該遅延手段からの出力データと、前記テストセルに書き込んだテストデータとを比較し、該比較結果を出力するデータ比較手段と、

前記比較結果に応じて前記動作条件を調節する動作条件調節手段と、

前記第 2 テストを制御するテスト制御手段とを備え、前記第 2 テストが、前期動作条件調節手段により調節された動作条件で、前記テストセルにテストデータを書き込み、又は前記テストセルに記録されているデータを読み出すテストであることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】 前記遅延手段は、複数の制御信号により前記遅延時間が調節される複数の単位遅延手段を備えていることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 4】 前記データ比較手段は、前記遅延手段からの出力データをラッチし、該ラッチされたデータを出力する第 1 ラッチ手段と、前記テストセルに書き込んだテストデータをラッチし、該ラッチされたデータを出力する第 2 ラッチ手段と、前記第 1 ラッチ手段及び前記第 2 ラッチ手段から出力されたデータを比較し、該比較結果に応じたデータを出力するラッチ比較手段とを備えていることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 5】 前記第 1 ラッチ手段は、テスト動作周期に合せたクロック信号に同期して、ラッチ及び該ラッチされたデータの出力を行うことを特徴とする請求項 4 に記載の半導体メモリ装置。

【請求項 6】 前記第 2 ラッチ手段は、前記テストセルに前記テストデータを書き込むために、前記テストセルが接続されたワードラインをイネーブルさせるタイミングに合せたクロック信号に同期して、ラッチ及び該ラッチされたデータの出力を行うことを特徴とする請求項 4 に記載の半導体メモリ装置。

【請求項 7】 前記動作条件調節手段は、前記データ比較手段の比較結果に応じて動作パラメータを調節し、前記メモリセルのリフレッシュ周期を調節することを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 8】 前記動作条件調節手段は、前記データ比較手段の比較結果に応じて、センスアンプをイネーブルさせるタイミングを調節することを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 9】 前記動作条件調節手段は、前記データ比較手段の比較結果に応じて、動作パラメータを調節してリフレッシュ周期を調節し、且つ前記データ比較手段の出力信号に応じて、センスアンプをイネーブルさせるタイミングを調節することを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 10】 前記テスト制御手段は、前記テストセルのアドレスを記憶し、前記テストセルがリペアされた状態において、前記テストセルのリペアセルをテストせずに、前記アドレスを使用して前記テストセルをテストする制御を行うことを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 11】 メモリセルアレイ及び該メモリセルの駆動手段を有し、第 1 テストの結果、不良メモリセルがリペアされる半導体メモリ装置のテスト方法であって、前記第 1 テストによりパスと判定されたメモリセルのうち最も不良になり易いテストセルを検出して該テストセルをリペアし、該テストセルのアドレスを記憶する検出ステップ、

予め設定された動作条件で前記アドレスを使用し、前記テストセルに対して第 2 テストを行うテストステップ、前記第 2 テストを行った結果がパスと判断された場合、前記動作条件を調節して前記テストステップに戻る調節ステップ、及び前記第 2 テストを行った結果がフェイルと判断された場合、前記第 2 テストを行った動作条件を前記駆動手段に出力するテスト終了ステップを含むことを特徴とする半導体メモリ装置のテスト方法。

【請求項 12】 前記テストステップは、前記テストセルに記録されたデータを所定時間だけ遅延させたデータと、前記テストセルに記録したデータとを比較することを特徴とする請求項 11 に記載の半導体メモリ装置のテスト方法。

【請求項 13】 前記動作条件は、リフレッシュ周期であることを特徴とする請求項 11 に記載の半導体メモリ装置のテスト方法。

【請求項 14】 前記テストステップは、リフレッシュが行われると自動的に行われることを特徴とする請求項 13 に記載の半導体メモリ装置のテスト方法。

【請求項 15】 前記動作条件は、センスアンプイネーブルタイミングであることを特徴とする請求項 11 に記載の半導体メモリ装置のテスト方法。

【請求項 16】 前記テストステップは、テスト命令の入力の有無を判断し、テスト命令が入力されたと判断した場合、前記第 2 テストを行うことを特徴とする請求項 15 に記載の半導体メモリ装置のテスト方法。

【請求項 17】 前記動作条件は、リフレッシュ周期とセンスアンパイネーブルタイミングであることを特徴とする請求項 11 に記載の半導体メモリ装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置及びそのテスト方法に関し、特に、バーンインテスト (burn-in test) をパスしたメモリセルのうち最も不良になり易いテストセルを検出し、そのテストセルに対してテストを行い、正常動作可能な最悪の動作条件を検出することにより、半導体メモリ装置の動作条件を最適化させてリフレッシュ又はアクティブ動作時の消費電力を減少させることができる半導体メモリ装置及びそのテスト方法に関する。

【0002】

【従来の技術】一般に、DRAM (Dynamic Random Access Memory) に対するテストは、その目的に応じて製品テストと証明 (prove) テストに分類することができる。

【0003】製品テストは、ウェハープロセス工程、アセンブリー (assembly) 工程等の製造工程で発生した欠陥を検出し、不良品を除去 (screening) して良品のみを選別することを目的として実施される。

【0004】一方、証明テストは、DRAM の機能や性能が設計仕様 (specific) と一致するか否かを確認することを目的として実施される。

【0005】従って、製品テストは、出荷 (製造) 工程において多量の製品に対して行なわれることから、高い生産性 (through-put) が求められる。

【0006】これに対して、証明テストは、製品の完成度を高め、開発期間を短縮することを目的として、研究開発時に細心の注意を払って行われる。このような証明テストによって製造上の欠陥や、設計と機能との不一致が発見された場合に、その正確な原因を調べるのが解析 (analysis) 又は不良解析 (failure analysis) であり、特に、DRAM 内部の不良発生場所を正確に糾明することが重要である。

【0007】DRAM のテストにおいては、メモリテスターという測定システムを使用して DC、AC、及び機能 (function) の三種類の特性を測定する。

【0008】機能特性のテストの一方法として、バーンインテスト (burn-in test) が行なわれる。バーンインテストは、DRAM の初期欠陥を早期に発見するために、DRAM 全体に対して実際の使用条件よりも高い電圧、周囲温度等の条件の下で、ストレス (stress) を加

えて行うテストである。

【0009】このテストの結果、不良 (fail) と判定されたメモリセルは、チップ全体として正常動作を可能とするために、予め DRAM 内に予備として設けられた冗長セル (redundancy cell) にリペア (repair)、即ち代替されることになる。

【0010】さらに、上記のバーンインテストをパスして使用可能と判断されたメモリセルを対象に、実験データに基づいて任意に設定された動作条件で DRAM を動作させる。

【0011】このように DRAM は、劣悪な条件においても正常に動作できるように、動作条件のマージンを十分に確保して設計されなければならない。

【0012】このようなマージンを確保しなければ、多数の不良セルが検出され、ある程度の範囲の動作環境において使用可能なチップであっても、不良チップと判定されて製品の歩留まりを低下させることになる。

【0013】このような製品の歩留まりを低下させる問題を克服するために、マージンを十分確保する一つの方法として、メモリのリフレッシュ周期を短くする方法があるが、その場合にはチップの消費電力が増大するという問題が発生する。

【0014】さらに、このように動作条件のマージンを大きく設定すれば DRAM の動作速度が遅くなり、この動作速度の低下を克服するために高い電圧を印加する方法があるが、この場合にも消費電力が増大するという問題が発生する。

【0015】例えば、センスアンプ駆動電圧を高い電圧に設定すると動作速度を向上させることが可能であるが、消費電力が増大するという問題が発生する。

【0016】

【発明が解決しようとする課題】したがって、本発明の目的は、テストをパスしたセルのうち最も不良になり易いテストセルに対してテストを行い、メモリセルアレイ全体として、及び各メモリセルとして誤動作することがない最悪の動作条件を検出し、最適化した動作条件をもって動作させることによって、消費電力を低減可能な半導体メモリ装置及びそのテスト方法を提供することにある。

【0017】

【課題を解決するための手段】上記した課題を解決するために、本発明に係る半導体メモリ装置は、第 1 テストの結果、不良と判定されてリペアされたメモリセルと、パスと判定されたメモリセルのうち最も不良になり易いメモリセルと判定されてリペアされたテストセルとを備えたメモリセルアレイ、前記テストセルに対して予め設定された動作条件で第 2 テストを行い、該第 2 テストの結果に応じて、前記テストセルに対して前記動作条件を調節し、前記第 2 テストを反復的に行う、または最後に調節された前記動作条件を出力するテスト手段、及び該

テスト手段から出力された動作条件で前記メモリセルアレイを駆動する駆動手段を備えて構成される。

【0018】前記テスト手段は、前記テストセルに記録されたデータを読み出し、該読み出したデータを所定の遅延時間だけ遅延させて出力する遅延手段と、該遅延手段からの出力データと、前記テストセルに書き込んだテストデータとを比較し、該比較結果を出力するデータ比較手段と、前記比較結果に応じて前記動作条件を調節する動作条件調節手段と、前記第2テスト動作を制御するテスト制御手段とを備え、前記第2テストが、前期動作条件調節手段により調節された動作条件で、前記テストセルに前記テストデータを書き込み、又は前記テストセルに貯蔵されたデータを読み出すテストとすることができ

【0019】また、本発明に係る半導体メモリ装置のテスト方法は、メモリセルアレイ及び該メモリセルの駆動手段を有し、第1テストの結果、不良メモリセルがリペアされる半導体メモリ装置のテスト方法であって、前記第1テストによりパスと判断されたメモリセルのうち最も不良になり易いテストセルを検出して該テストセルをリペアし、該テストセルのアドレスを記憶する検出ステップ、予め設定された動作条件で前記アドレスを使用し、前記テストセルに対して第2テストを行うテストステップ、前記第2テストを行った結果がパスと判断された場合、前記動作条件を調節して前記テストステップに戻る調節ステップ、及び前記第2テストを行った結果がフェイルと判断された場合、前記第2テストを行った動作条件を前記駆動手段に出力するテスト終了ステップを含む。

【0020】

【発明の実施の形態】上記の目的、本発明の特徴及び利点をより明らかにするために、以下、図面を参照し、本発明の実施の形態を詳しく説明する。

【0021】図1は、本発明の実施の形態に係る半導体メモリ装置の概略構成を示すブロック図である。

【0022】図1に示したように、本実施の形態に係る半導体メモリ装置は、複数のメモリセルを備え、その複数のメモリセルの中でバーンインテストの結果、使用可能なセルと判定されたメモリセルのうち、最も不良になり易いテストセル1を含むメモリセルアレイ2と、テストセル1のテスト結果を表わす比較結果信号PFDに応じて動作条件を調節し、再びテストを行うか、またはテストの動作条件を出力するテスト部3と、テスト部3から出力された動作条件を使用してメモリセルアレイ2を駆動する駆動部4とを備えている。

【0023】テスト部3は、テストセル1に記録されたデータDOU Tを読み出して所定時間だけ遅延させる遅延器5と、遅延器5により遅延されたデータDOU TDとテストセル1に書き込んだテストデータTDとを比較して、その比較結果に対応する比較結果信号PFDを出

力するデータ比較器6と、比較結果信号PFDに応じて動作条件を調節する動作条件調節器7と、比較結果信号PFDに応じてテスト命令TCMDにより動作条件調節器7の調節された動作条件を使用し、テストセル1に対するテストデータTDの書き込み及び読み出しテスト動作を制御するテスト制御器8とを備えている。

【0024】テストセル1は、バーンインテストの結果、使用可能と判定されたメモリセルのうち動作条件によって最も不良になり易いセルであり、このテストセル1は、正常動作のためにアドレスデコード部（図示せず）のアンチヒューズ（antifuse）を適宜切断することによって、冗長セルであるリペアセル、例えばSRAM（同期式RAM）タイプのリペアセルによってリペア、即ち代替される。その結果、テストセル1へのアクセスはリペアセルへのアクセスとなる。このとき、テストセル1のアドレスをマーク（mark）し、後述のテストにおいて、リペアセルがテストされるのではなく、テストセル1がテストされるように設定する。即ち、テストセル1のアドレスをテスト制御器8内部の記録部（図示せず）に記録し、テスト制御器8が、テストセル1にテストデータTDを書き込み、テストセル1に記録されたデータを読み出すことができるようにする。

【0025】テスト制御器8は、外部からのテスト命令TCMDを受けてテストを行うが、テスト内容がリフレッシュ周期のみを調節するためのテストである場合には、テスト命令TCMDに係らずリフレッシュ動作が行なわれると自動的にテストを行い、リフレッシュ周期を調節してリフレッシュを行うようにすることもできる。

【0026】次に、上記した半導体メモリ装置の動作を、図5に示すフローチャートを参照して説明する。

【0027】まず、バーンインテストの結果、不良と判定されたセルは、アンチヒューズを適宜切断することによってリペアされる（S1）。

【0028】次いで、バーンインテストをパスしたセルのうち最も不良になり易いテストセル1が検出され、ステップS1と同様にアンチヒューズを用いてリペアされる（S2）。

【0029】次に、その検出されたテストセル1のアドレスをマークする（S3）。このマークされたアドレスによって、後のテストにおいて、テストセル1に対応するリペアセルをテストするのではなく、検出されたテストセル1をテストすることが可能となる。

【0030】次に、テスト命令TCMDが入力されたか否かを判断し（S4）、テスト命令TCMDが入力されたと判断した場合、現在の動作条件でテストセル1に対するテストを行う（S5）。

【0031】次に、ステップS5におけるテストの結果を判断し（S6）、テストをパスしたと判断した場合、動作条件を調節し（S7）、調節された動作条件をもって再度テストを行い（S5）、再度テストを行った結果

を判断する (S6) 一連の過程を、テストをパスしなくなるまで繰り返す。

【0032】一方、テストを行った結果がパスと判断されなかった場合、即ちフェイルと判断された場合、最後にテストを行った動作条件を出力する (S8)。従って、この出力された動作条件を使用すれば、半導体メモリ装置は正常動作を行うことができる。

【0033】図2は、図1に示す半導体メモリ装置のテスト部3における遅延器5の回路図である。

【0034】図2に示したように、遅延器5は、外部からの制御信号D0~Dnのハイレベル又はローレベルの組合せにより遅延時間を調節できるように、各々の制御信号D0~Dnが一方の入力端子に印加され、テストセル1から読み出したデータDOU Tが他方の入力端子に印加される複数のNANDゲートND0~NDnと、NANDゲートND0~NDnの出力信号により制御されて前段の単位遅延器の出力信号を一定時間遅延させる単位遅延器DE0~DENを備えている。

【0035】また、単位遅延器DEi (i=0~n-1) は、その左隣の単位遅延器DEi+1の出力信号が一方の入力端子に印加され、NANDゲートNDiの出力信号が他方の入力端子に印加されるNANDゲートNDDiと、NANDゲートNDDiの出力信号を反転させるインバータINViとを備えている。尚、最も左端の単位遅延器DENのNANDゲートは、一方の入力端子が所定の電位V、例えばハイレベルに設定されている。

【0036】このように、テストセル1から読み出したデータDOU Tを遅延器5を用いて繰り返し遅延させてテストする理由は、テストセル1はバーンインテストをパスしていることから、段階的にテスト条件を厳しくすることによってテストをパスする限界の動作条件を決定するためであり、これによってマージンが明確となる。即ち、テストセル1から読み取ったデータDOU TをテストデータTDと比べた結果同一でなく、フェイルと判断されたとき、テストセル1と同じワードラインに連結された他のセルにも同じテスト条件が印加されるが、テストセル1が最も不良となり易いことから、その条件では他のメモリセルはフェイルと判断されることはない。

【0037】図3は、図1に示した半導体メモリ装置におけるデータ比較器6の回路図である。

【0038】図3に示したように、データ比較器6は、ラッチ9と、ラッチ10と、排他的論理和ゲートXORとを備えている。

【0039】ここで、ラッチ9は、テスト動作周期に合わせたクロック信号CLK Tに同期して、テストセル1から読み出したデータDOU Tを遅延器5により遅延させたデータDOU TDをラッチして、ラッチされたデータDOU TDをデータTSTDとして出力する。

【0040】同様に、ラッチ10は、テストセル1にテストデータTDを書き込むためにテストセル1に接続さ

れたワードラインをイネーブルさせるタイミングに合せたクロック信号CLK Wに同期して、テストセル1に書き込みしたテストデータTDをラッチして、ラッチされたデータTDをデータREFDとして出力する。

【0041】また、排他的論理和ゲートXORは、2つのラッチ9、10から出力されたデータTSTD、REFDを比較し、その2つのデータが同一の場合、パス (pass) に該当するローレベルの比較結果信号PFDを出力し、その2つのデータが異なる場合、フェイル (fail) に該当するハイレベルの比較結果信号PFDを出力する。

【0042】テストの内容がリフレッシュ周期に関するテストであると仮定すれば、動作条件調節器7は、テスト結果がパスとなった場合、即ちデータ比較器6がローレベルの比較結果信号PFDを出力した場合、動作条件、即ちリフレッシュ周期を、テストを行ったリフレッシュ周期よりも延長するようにパラメータtREFを調節し、遅延されたリフレッシュ周期を出力する。テスト制御器8は、この遅延されたリフレッシュ周期を使用して、再度テストを行う。一方、動作条件調節器7は、テスト結果がフェイルとなった場合、即ちデータ比較器6がハイレベルの比較結果信号PFDを出力した場合、リフレッシュ周期を調節せずに、最後にテストを行ったリフレッシュ周期をそのまま出力する。

【0043】また、テストの内容が、センスアンプのイネーブルされるタイミングを調節するテストであると仮定すれば、テスト結果がパスとなった場合、動作条件調節器7は動作条件、即ちセンスアンプのイネーブルされるタイミングを遅延させて出力し、テスト制御部8はこの遅延されたタイミングを使用して再びテストを行う。データ比較器6によるテスト結果がフェイルとなった場合、動作条件調節器7は、センスアンプのイネーブルされるタイミングを調節せず、最後にテストを行ったセンスアンプのイネーブルされるタイミングをそのまま出力する。

【0044】さらに、テストの内容がリフレッシュ周期の調節及びセンスアンプのイネーブルされるタイミングの調節の両方を行うテストであると仮定すれば、データ比較器6によるテスト結果がパスとなった場合、動作条件調節器7は、リフレッシュ周期を調節するためにリフレッシュ関連パラメータを調節し、且つセンスアンプのイネーブルされるタイミングを調節してこれらのデータを出力し、テスト制御器8は、これらの出力データを使用して再びテストを行う。テスト結果がフェイルとなった場合、動作条件調節器7は、最後にテストを行ったリフレッシュ周期及びセンスアンプのイネーブルされるタイミングをそのまま出力する。

【0045】ここで、データ比較器6の比較結果信号PFDがフェイルを示すハイレベルとなった場合であっても、その原因は遅延器5によりテストセル1から読み出

したデータDOUTが遅延されているためであり、最後のテスト条件に対してはテストセル1はパスしたと判断できる。

【0046】即ち、図4に示したタイミング図を参照して説明すれば、ラッチ9がクロック信号CLKTに同期して遅延器5により遅延されたデータDOUTDをラッチして出力するデータTSTDと、ラッチ10がクロック信号CLKWに同期してテストデータTDをラッチして出力するデータREFDとを比較すれば、ラッチ10にラッチされたデータREFDはハイレベルであり、ラッチ9にラッチされたデータTSTDはローレベルであることから、比較結果信号REFDはハイレベル、即ちフェイルと判断される。しかし、実際にはテストセル1から読み取ったデータDOUTは、テストデータTDと同じハイレベルなので、この動作条件は本来ならばパスと判断される条件である。

【0047】ここで、遅延器5の遅延時間Dは、外部からの制御信号D0～Dnのハイレベル又はローレベルの組合せを調節することによって任意に設定されることができ、データ比較器6においてテストセル1が実際にはパスされるべきであるが、フェイルと判断されるマージンになる。

【0048】上記した半導体メモリ装置のテスト方法の一実施の形態として、動作条件がリフレッシュ周期の場合、テスト命令TCMDに係らずテストを行い（S5）、テスト結果がパスとなったときに、リフレッシュ周期を短縮して再びテストを行い（S5）、テスト結果がフェイルとなったときには、テスト制御器8はこれ以上テストを行わず、最後にテストに用いたリフレッシュ周期を駆動部4に出力し（S8）、駆動部4は入力されたリフレッシュ周期を使用してリフレッシュ動作を行う。

【0049】上記した半導体メモリ装置のテスト方法の別の実施の形態として、動作条件がセンスアンプのイネーブルされるタイミングである場合、テスト命令TCMDが入力されるときにテストを行い（S5）、テスト結果がパスされたときには、センスアンプのイネーブルされるタイミングを遅延させて再びテストを行い（S5）、テスト結果がフェイルとなったとき、テスト制御器8はこれ以上テストを行わず、テストに用いたセンスアンプがイネーブルされるタイミングを駆動部4に出力し（S8）、駆動部4は入力されたセンスアンプのイネーブルされるタイミングを使用して読み出し又は書き込み動作において正常動作を行うことになる。

【0050】さらに、上記した半導体メモリ装置のテスト方法の別の実施の形態として、動作条件がリフレッシュ周期及びセンスアンプのイネーブルされるタイミングであると仮定すれば、テストを行い（S5）、テスト結果がパスとなった場合、それぞれリフレッシュ周期を短縮し、且つセンスアンプのイネーブルされるタイミング

を遅延させてテストを行い（S5）、テスト結果がフェイルとなった場合に、最後にテストを行った動作条件、即ちリフレッシュ周期とセンスアンプのイネーブルされるタイミングを使用して正常動作を行う。これによって、リフレッシュ周期の最適化及びセンスアンプのイネーブルされるタイミングの最適化が可能となる。

【0051】上記のように、半導体メモリ装置が、リフレッシュ周期を調節するためのテストを行い、最小のリフレッシュ周期を設定して動作する場合、または半導体メモリ装置がセンスアンプイネーブルのタイミングを調節するためのテストを行い、最大に遅延されたセンスアンプイネーブルのタイミングを設定して動作する場合があるが、それぞれのテストを行って、リフレッシュ周期またはセンスアンプイネーブルのタイミングをそれぞれ調節することも、2種類のテストを両方行ってリフレッシュ周期及びセンスアンプイネーブルのタイミングの両方を調節することもできる。また、この場合、リフレッシュ周期を調節するためのテストとセンスアンプイネーブルのタイミングを調節するためのテストを、順次行うことも、両方を同時に行うこともできる。

【0052】なお、以上において説明した本発明に係る好ましい実施の形態は、例示を目的としたものであり、当業者であれば、本発明の技術的思想の範囲内において、種々の改良、変更、付加等が可能であり、このような改良、変更等も、本発明の技術的範囲に属することは言うまでもない。

【0053】

【発明の効果】本発明に係る半導体メモリ装置及びそのテスト方法は、半導体メモリ装置の動作条件を、最も不良になり易いメモリセルに対して設定することにより最適化するため、リフレッシュ又はアクティブ動作時に消費される電力を低減できる効果を奏する。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係る半導体メモリ装置の概略構成を示すブロック図である。

【図2】 図1に示したブロック図における遅延器の詳細回路を示す回路図である。

【図3】 図1に示したブロック図におけるデータ比較器の詳細回路を示す回路図である。

【図4】 図3に示したブロック図におけるデータ比較動作を示すタイミング図である。

【図5】 図1に示した半導体メモリ装置に関する本発明の実施の形態に係るテスト方法を示すフローチャートである。

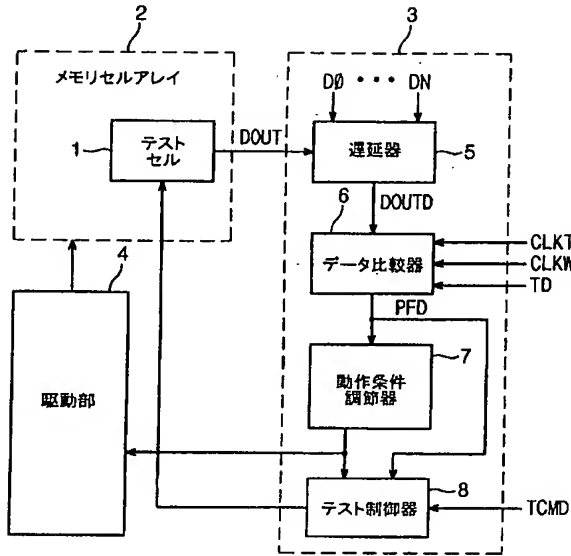
【符号の説明】

- 1 テストセル
- 2 メモリセルアレイ
- 3 テスト部
- 4 駆動部
- 5 遅延器

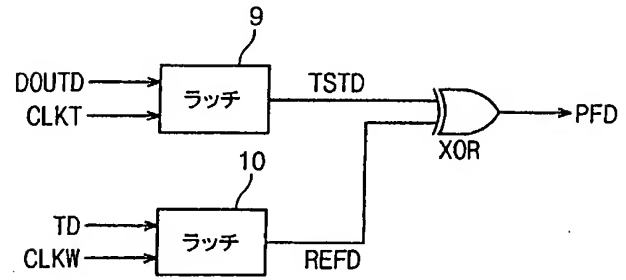
- 6 データ比較器
 7 動作条件調節器
 8 テスト制御器
 9、10 ラッチ
 DE0~DEn 単位遅延器

- ND0~NDn、NDDi NANDゲート
 INVi インバータ
 D0~Dn 遅延制御信号
 XOR 排他的論理和ゲート

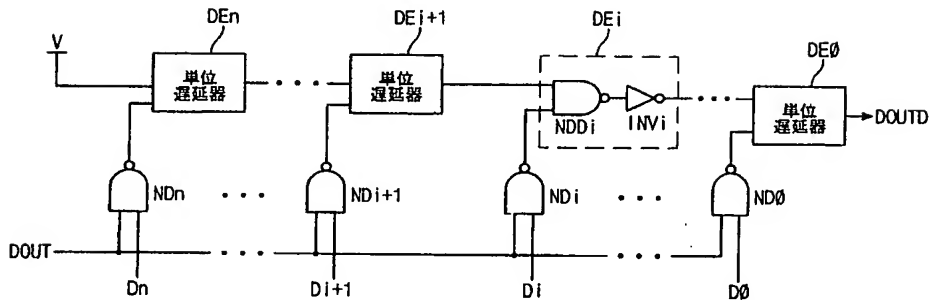
【図1】



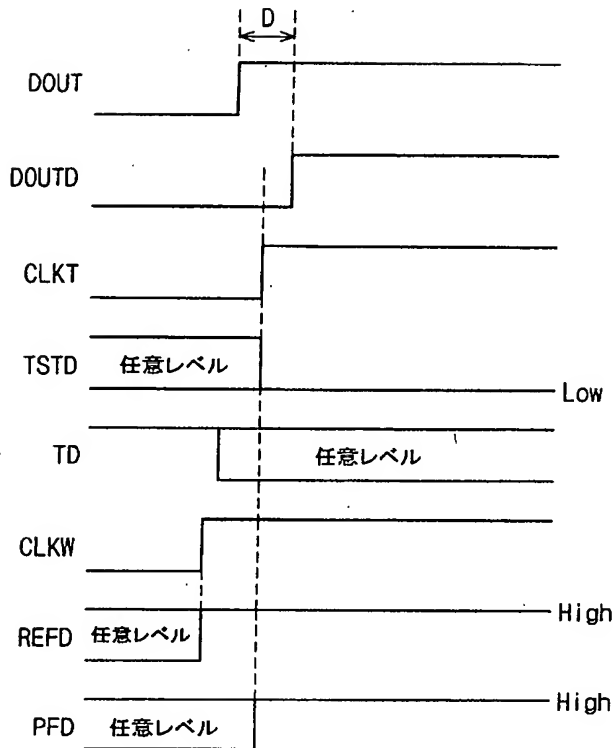
【図3】



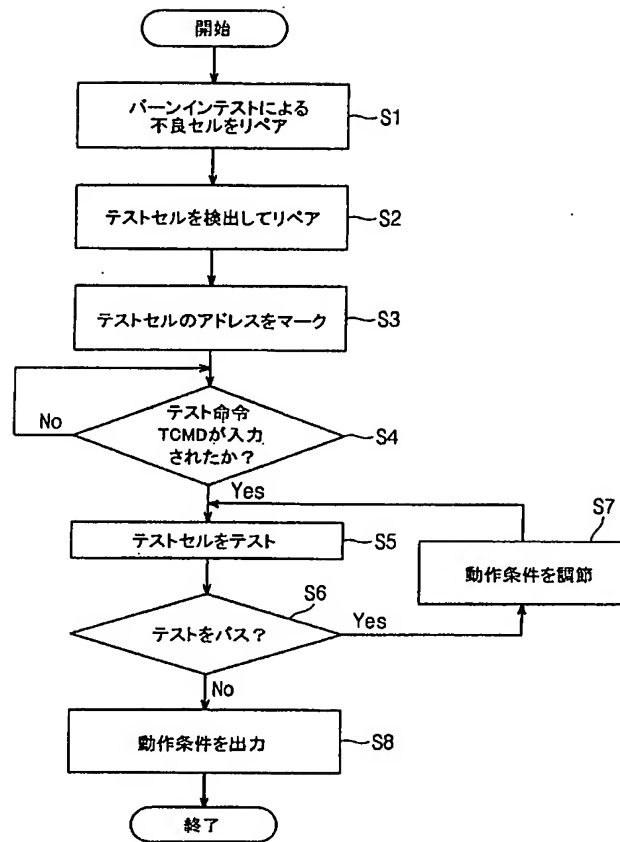
【図2】



【図 4】



【図 5】



フロントページの続き

F ターム (参考) 2G132 AA08 AB03 AB05 AC03 AD06
 AG04 AG08 AH04 AH07 AK07
 AK08 AK09 AK13 AL13
 5L106 AA01 CC04 CC13 CC21 CC31
 DD03 DD12 DD22 DD25 DD32
 EE03 FF05 GG05
 5M024 AA20 AA91 BB35 MM03 MM06
 MM20 PP01 PP02 PP07 PP10